

※※※※※※※※※※※※※※※※
※※007级学生电子技能
※※课程设计
※※※※※※※※※※※※※※※※

数字通信原理课程设计报告书

课题名称 基于 EDA 技术的 DPSK 调制系统设计

姓名

学 号

院系

物理与电信工程系

专 业

通信工程

指导教师

2010 年 1 月 15 日

一、设计任务及要求：

设计任务：

利用 eda 技术设计芯片将基带信号进行 dpsk 调制和将 dpsk 调制信号进行解调成基带信号。

要求：

(1) 要求学生能够熟练地用 eda 技术进行数字基带信号的 dpsk 调制与解调的硬件设计。

(2) 要求用程序设计 cpsk 调制、cpsk 解调、绝对码-相对码转换、相对码-绝对码转换芯片，并运用所设计芯片进行 dpsk 调制与解调仿真。

指导教师签名：_____

2010 年 1 月 15 日

二、指导教师评语：

指导教师签名：_____

2010 年 1 月 15 日

三、成绩

验收盖章

原创力文档
max.book118.com
预览与源文档一致,下载高清无水印

2010 年 1 月 15 日

基于 EDA 技术的 QDPSK 调制系统设计

1 设计目的

通过本课程设计的开展，使学生能够掌握通信原理中数字信号的 DPSK 调制和解调，并能用 eda 技术进行硬件设计并进行仿真。

2 设计的主要内容和要求

(1) 要求学生能够熟练地用 eda 技术进行数字基带信号的 dpsk 调制与解调的硬件设计。

(2) 要求用程序设计 cpsk 调制、cpsk 解调、绝对码-相对码转换、相对码-绝对码转换芯片，并运用所设计芯片进行 dpsk 调制与解调仿真。

3 设计原理

数字信号对载波相位调制称为相移键控（即相位键控）PSK（Phase-Shift Keying）。数字相位调制（相位键控）是用数字基带信号控制载波的相位，使载波的相位发生跳变的一种调制方式。二进制相位键控用同一个载波的两相来代表数字信号。由于 PSK 系统抗噪声性能优于 ASK 和 FSK，而且频带利用率较高，所以，在中、高速数字通信中被广泛采用。

数字调相（相位键控）常分为：（1）绝对调相，记为 CPSK；（2）相对调相，记为 DPSK。对于二进制的绝对调相记为 2CPSK，相对调相记为 2DPSK。

1. 绝对调相（CPSK）

所谓绝对调相即 CPSK，是利用载波的不同相位去直接传送数字信息的一种方式。对二进制 CPSK，若用相位 π 代表“0”码，相位 0 代表“1”码，即规定数字基带信号为“0”码时，已调信号相对于载波的相位为 π ；数字基带信号为“1”码时，已调信号相对于载波相位为同相。按此规定，2CPSK 信号的数学表示式为

$$u_{2cpsk} = \begin{cases} A \cos(2\pi f_c t + \theta_0) & \text{为“1”码} \\ A \cos(2\pi f_c t + \theta_0 + \pi) & \text{为“0”码} \end{cases}$$

式中 θ_0 为载波的初相位。受控载波在 0、 π 两个相位上变化。

关于 CPSK 波形的特点，必须强调的是：CPSK 波形相位是相对于载波相

位而言的。因此画 CPSK 波形时，必须先把载波画好，然后根据相位的规定，才能画出它的波形。

2. 相对调相 (DPSK)

相对调相 (相对移相)，即 DPSK，也称为差分调相，这种方式用载波相位的相对变化来传送数字信号，即利用前后码之间载波相位的变化表示数字基带信号的。所谓相位变化又有向量差和相位差两种定义方法。向量差是指前一码元的终相位与本码元初相位比较，是否发生相位变化。而相位差是指前后两码元的初相位是否发生了变化。对同一个基带信号，按向量差和相位差画出的 DPSK 波形是不同的。例如在相位差法中，在绝对码出现“1”码时，DPSK 的载波初相位即前后两码元的初相位相对改变 π 。出现“0”码时，DPSK 的载波相位即前后两码元的初相位相对不变。在向量差法中，在绝对码出现“1”码时，DPSK 的载波初相位相对前一码元的终相位改变 π 。出现“0”码时，DPSK 的载波初相位相对前一码元的终相位连续不变。在画 DPSK 波形时，第一个码元波形的相位可任意假设。

由以上分析可以看出，绝对移相波形规律比较简单，而相对移相波形规律比较复杂。绝对移相是用已调载波的不同相位来代表基带信号的，在解调时，必须要先恢复载波，然后把载波与 CPSK 信号进行比较，才能恢复基带信号。由于接收端恢复载波常常要采用二分频电路，它存在相位模糊，即用二分频电路恢复的载波有时与发送载波同相，有时反相，而且还会出现随机跳变，这样就给绝对移相信号的解调带来困难。。而相对移相，基带信号是由相邻两码元相位的变化来表示，它与载波相位无直接关系，即使采用同步解调，也不存在相位模糊问题，因此在实际设备中，相对移相得到了广泛运用。

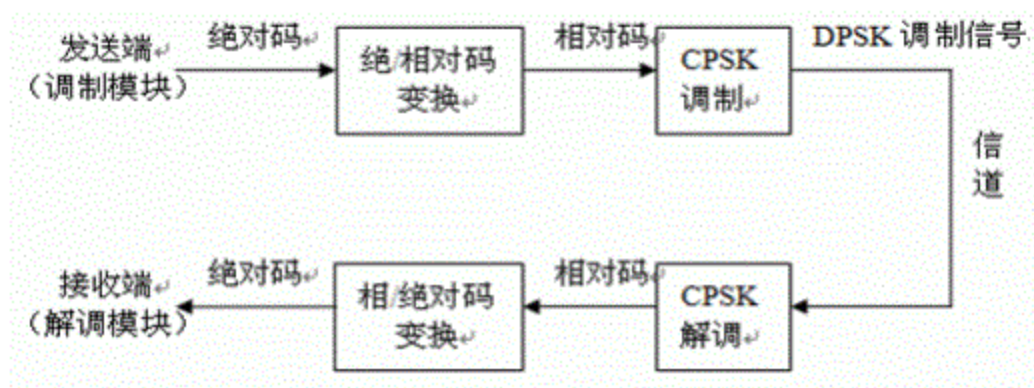


图 1

图1 为系统框图

4 硬件电路的设计

1. CPSK 调制 VHDL 程序

--文件名: PL_CPSK

--功能: 基于 VHDL 硬件描述语言, 对基带信号进行调制

```
library ieee;
use ieee.std_logic_arith.all;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity PL_CPSK is
port(clk      :in std_logic;           --系统时钟
      start    :in std_logic;         --开始调制信号
      x        :in std_logic;         --基带信号
      y        :out std_logic);       --已调制输出信号
end PL_CPSK;
architecture behav of PL_CPSK is
signal q:std_logic_vector(1 downto 0); --2 位计数器
signal f1,f2:std_logic;               --载波信号
begin
process(clk)                          --此进程主要是产生两重载波信号 f1, f2
begin
if clk'event and clk='1' then
    if start='0' then q<="00";
    elsif q<="01" then f1<='1';f2<='0';q<=q+1;
    elsif q="11" then f1<='0';f2<='1';q<="00";
    else   f1<='0';f2<='1';q<=q+1;
    end if;
end if;
end process;
```

原创力文档

max.book118.com

预览与源文档一致, 下载高清无水印

```

process(clk,x)                                --此进程完成对基带信号 x 的调制
begin
if clk'event and clk='1' then
    if q(0)='1' then
        if x='1' then y<=f1;                --基带信号 x 为 '1' 时，输出信号 y
        为 f1
        else y<=f2;                        --基带信号 x 为 '0' 时，输出信号 y 为
        f2
        end if;
    end if;
end if;
end process;
end behav;

```

原创力文档
max.book118.com
预览 下载 全文 一键下载 高清 无水印

2. CPSK 解调 VHDL 程序

--文件名: PL_CPSK2

--功能: 基于 VHDL 硬件描述语言, 对 CPSK 调制的信号进行解调

```

library ieee;
use ieee.std_logic_arith.all;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity PL_CPSK2 is
port(clk      :in std_logic;                --系统时钟
     start    :in std_logic;                --同步信号
     x        :in std_logic;                --调制信号
     y        :out std_logic);              --基带信号
end PL_CPSK2;
architecture behav of PL_CPSK2 is
signal q:integer range 0 to 3;
begin

```

```

process(clk)
    --此进程完成对 CPSK 调制信号的
    解调
begin
    if clk'event and clk='1' then
        if start='0' then q<=0;
        elsif q=0 then q<=q+1;
        --在 q=0 时，根据输入信号 x 的电平
        来进行判决
            if x='1' then y<='1';
            else y<='0';
            end if;
        elsif q=3 then q<=0;
        else q<=q+1;
        end if;
    end if;
end process;
end behav;

```

3.绝对码-相对码转换 VHDL 程序

--文件名: PL_DPSK

--功能: 基于 VHDL 硬件描述语言, 对基带信号进行绝对码到相对码的转换

```

library ieee;
use ieee.std_logic_arith.all;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity PL_DPSK is
    port(clk      :in std_logic;      --系统时钟
          start   :in std_logic;      --开始转换信号
          x       :in std_logic;      --绝对码输入信号
          y       :out std_logic);     --相对码输出信号
end PL_DPSK;

```

```

architecture behav of PL_DPSK is
    signal q:integer range 0 to 3;           --分频器
    signal xx:std_logic;                     --中间寄存信号
begin
    process(clk,x)                           --此进程完成绝对码到相对码的转换
    begin
        if clk'event and clk='1' then
            if start='0' then q<=0; xx<='0';
            elsif q=0 then q<=1; xx<=xx xor x;y<=xx xor x; --输入信号与前一个输出信号
            进行异或
            elsif q=3 then q<=0;
            else q<=q+1;
            end if;
        end if;
    end process;
end behav;

```

4.相对码-绝对码转换 VHDL 程序

--文件名: PL_DPSK2

--功能: 基于 VHDL 硬件描述语言, 对基带码进行相对码到绝对码的转换

```

library ieee;
use ieee.std_logic_arith.all;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity PL_DPSK2 is
    port(clk      :in std_logic;           --系统时钟
          start   :in std_logic;          --开始转换信号
          x       :in std_logic;          --相对码输入信号
          y       :out std_logic);        --绝对码输出信号
end PL_DPSK2;

```

architecture behav of PL_DPSK2 is

```

signal q:integer range 0 to 3;           --分频
signal xx:std_logic;                     --寄存相对码
begin
process(clk,x)                           --此进程完成相对码到绝对码的转换
begin
if clk'event and clk='1' then
    if start='0' then q<=0;
    elsif q=0 then q<=1;
    elsif q=3 then q<=0; y<=xx xor x; xx<=x; --输入信号 x 与前一输入信号 xx 进
    行异或
    else q<=q+1;
    end if;
end if;
end process;
end behav;

```

对上述 vhdl 程序进行编译并生成电路元件

5 系统仿真

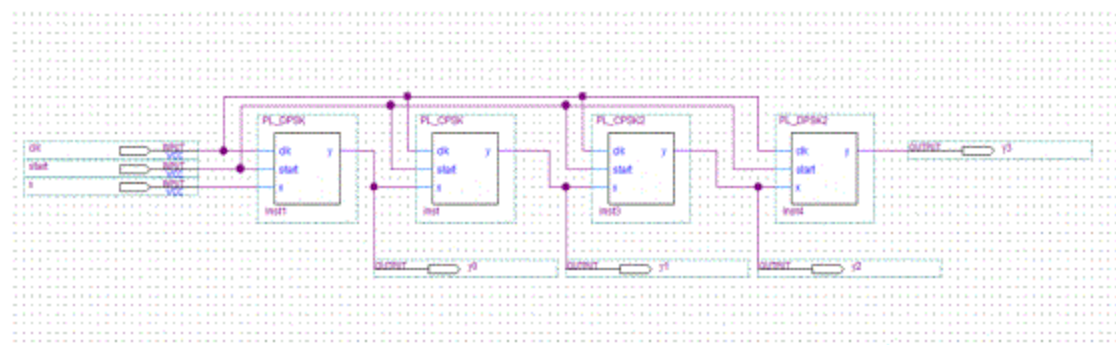


图 2

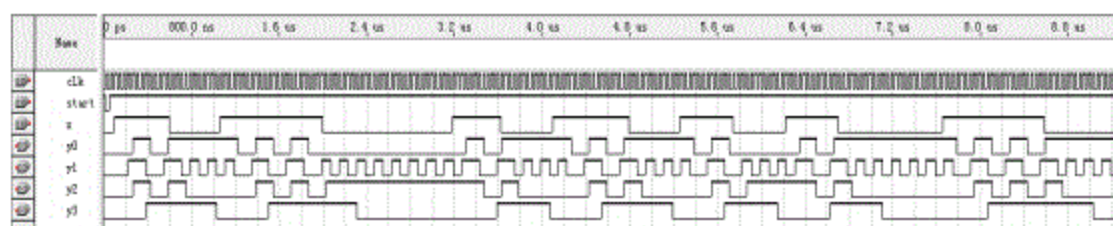


图 3

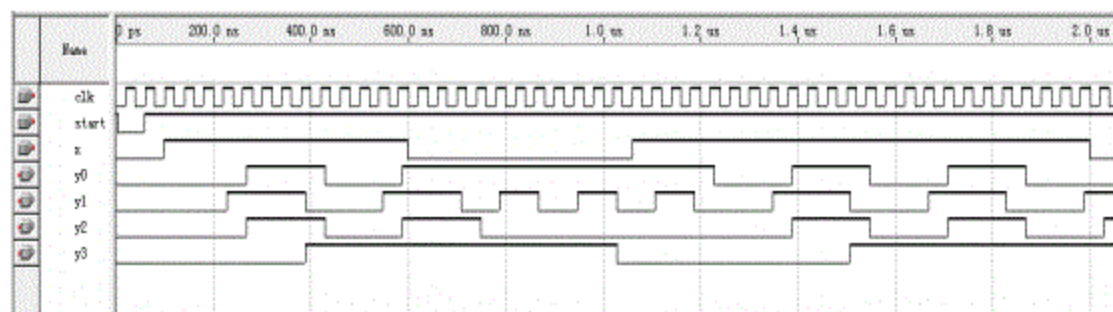


图 4

图 2 为系统电路图

图 3 系统仿真整体图

图 4 系统仿真局部放大图 clk 为时钟信号 start 为始能信号 x 为输入基带信号

y0 为绝对码转换成相对码波形 y1 为调制后波形 y2 为解调后波形 y3 为相对码转换成绝对码波形

6 设计总结

通过为期一周的数字通信原理与技术的课程设计，我感觉收获颇丰。课程设计不仅是对前面所学知识的一种检验，而且也是对自己能力的一种提高。通过这次课程设计使我明白了自己原来知识还比较欠缺。自己要学习的东西还太多，以前老是觉得自己什么东西都会，什么东西都懂，有点眼高手低。通过这次课程设计，我才明白学习是一个长期积累的过程，在以后的工作、生活中都应该不断的学习，努力提升自己知识和综合素质。在设计过程中，我通过查阅大量有关资料，与同学交流经验和自学，并向老师请教等方式，使自己学到了不少知识，也经历了不少艰辛，但收获同样巨大。在整个设计中我懂得了许多东西，也培养了我独立工作的能力，树立了对自己工作能力的信心，相信会对今后的学习生活有非常重要的影响。而且大大提高了动手的能力，使我充分体会到了在创造过程中探索的艰难和成功时的喜悦。虽然这个设计做的也不太好，但是在设计过程中所学到的东西是这次课程设计的最大收获和财富，使我终身受益。

参考文献

- [1]樊昌信,曹丽娜.通信原理[M].北京:国防工业出版社,2009:87-95.
- [2]曹志刚,钱亚生.现代通信原理[M].北京:清华大学出版社,1994:34-43.
- [3]王兴亮,寇宝明.数字通信原理与技术[M].西安:西安电子科技大学出版社,2009:32-

原创力文档

max.book118.com

预览与源文档一致, 下载高清无水印