

EMC基本原理及PCB的EMC设计

目 录

172.7.4其它与EMC 有关的PCB 布线措施 (17

2.7.3时钟信号的布线要求 (17

2.7.2常见接口电路的PCB 布线处理; (16

2.7.1优选布线层 (16

2.7PCB 布线与EMC (16

2.6.4其它模块的PCB 布局; (16

2.6.3时钟电路的布局 (16

2.6.2接口电路的PCB 布局 (16

2.6.1单板PCB 布局的一般原则; (16

2.6PCB 布局与EMC (15

2.4.5.2单板中各种地的常见命名和意义 (14

2.4.5.1常见接地方式及其特点 (14

2.4.5接地 (14

2.4.4关键芯片的电源设计 (14

2.4.3板内分支电源的设计 (13

2.4.2单板接口电源的设计 (10

2.4.1.2常用EMI 滤波器件 (9

2.4.1.1滤波电路的基本概念 (9)

2.4.1滤波设计 (8)

2.4电源、地系统的设计 (8)

2.3层设计 (6)

2.2EMC 的成因 (6)

2.1.2PCB 的EMC 设计在产品EMC 开发中的客观定位 (4)

2.1.1开展PCB 的EMC 设计的意义 (4)

2.1PCB 的EMC 设计在产品EMC 设计中的定位 (4)

2 PCB 的EMC 设计 (4)

1.4.2EMC 对策 (3)

1.4.1EMC 三要素 (3)

1.4EMC 三要素及对策 (2)

1.3EMC 的主要研究内容 (2)

1.2EMC 研究的目的是和意义 (2)

1.1EMC 的定义 (2)

1EMC 基本原理.....内部使用

EMC 基本原理及PCB 的EMC 设计2004-06-18版权所有,侵权必究第2页,共18页

1EMC 基本原理

1.1EMC 的定义

原创力文档

max.book118.com

预览与源文档一致,下载高清无水印

电磁兼容(Electromagnetic Compatibility
,简称EMC,是研究在有限的空间、时间和频谱资源的功能条件下,各种电气设备可以
共同工作,并不发生降级的科学。

另外一种定义,EMC 是一种技术,
这种技术的目的在于,使电气装置或系统在共同的电磁环境条件下,既不受电磁环境
的影响,也不会给环境以这种影响。换句话说,就是它不会因为周边的电磁环境而导
致性能降低、功能丧失或损坏,也不会在周边环境产生过量的电磁能量,以致影响
周边设备的正常工作。

以下是与电磁兼容有关的常见术语:

EMC :(Electromagnetic compatibility电磁兼容性

EMI : (Electromagnetic interference 电磁干扰

EMS :(Electromagnetic Susceptibility 电磁敏感度

RE :(Radiated emission 辐射骚扰

CE :(Conducted emission 传导骚扰

CS :(Conducted Susceptibility 传导骚扰抗扰度

RS :(Radiated Susceptibility 射频电磁场辐射抗扰度

ESD : (Electrostatic discharge 静电放电

EFT/B : (Electrical fast transient burst 电快速瞬变脉冲群

Surge :浪涌

1.2EMC 研究的目的和意义

电磁兼容研究的目的:

1确保系统内部的电路正常工作,互不干扰,达到预期的功能;

2降低电子系统对外的电磁能量辐射,使系统产生的电磁干扰强度低于特定的限定值;

3减少外界电磁能量对电子系统的影响。提高系统自身的抗扰能力;

对于企业来讲电磁兼容研究的目的是达到产品通过有关机构的CE认证,通过入网测试,获得市场准入,同时提高产品的可靠性,减少网上事故。

鉴于获取CE

认证已成为我司产品进入海外市场的必要的准入条件,而且国内也对各通讯产品的入网测试逐步增加EMC

测试内容,电磁兼容研究的意义不言而喻,而且各种资料均有大量篇幅介绍,这里就不在赘述;

案例:联通CDMA 与中移动GSM 在两种制式手机“绿色、环保、低辐射”之争。

1.3EMC 的主要研究内容

EMC 是研究在给定的时间、空间、频谱资源的条件下:

1同一设备内部各电路模块的相容性,互不干扰、能正常工作;

2不同设备之间的兼容性;

EMC 可分为电磁干扰EMI、电磁敏感度EMS 两部分:

EMI

:电磁干扰,即处在一定环境中设备或系统,在正常运行时,不应产生超过相应标准所要求的电磁能量;

内部使用 EMC 基本原理及PCB 的EMC 设计2004-06-

18版权所有,侵权必究第3页,共18页

EMS

:电磁敏感度,即处在一定环境中的设备或系统,在正常运行时,设备或系统能承受相应标准规定范围内的电磁能量干扰,或者说设备或系统对于一定范围内的电磁能量不敏感,能

按照设计的性能保持正常的运行;

1.4 EMC 三要素及对策

1.4.1 EMC 三要素

基本的EMC 模型包括以下三个要素

1、干扰源

2、耦合途径

3

原创力文档

max.book118.com

预览与源文档一致,下载高清无水印

、敏感装置

在单板的范围内,我们可以找到如下几个与辐射相关的项:

干扰源:时钟电路(包括晶振、时钟驱动电路;

开关电源;

高速总线(通常为低位地址总线如A0、A1、A2;

感性器件,如继电器等;

耦合路径:传播RF 能量的各种媒质,例如自由空间或互连电缆。

按传播的方式,电磁干扰分成两种类型。

1、传导型干扰

传导型干扰是系统产生并返回到直流输入线或信号线的噪声,这个噪声的频率范围为10KHz-30MHz ,它既有共模方式,又有差模方式。LC网络常常是抑制传导干扰的主要方式。

2、辐射型干扰内部使用

EMC 基本原理及PCB 的EMC 设计2004-06-18版权所有,侵权必究第4页,共18页

辐射型干扰以电磁波的方式直接发射,线路中一个普通的例子是电源线扮演发射天线的作

用,频率覆盖范围30MHz-1GHz ,这个范围的EMI
可通过金属屏蔽的方式抑制。敏感装置:PCB

上的各种敏感器件,它们易于接收来自I/O

线缆的辐射干扰并把这些有害能量传播到其他敏感电路或器件上。

单板中的敏感器件或者信号主要有:

锁相环

光模块

模拟信号

复位信号

小弱信号

对于EMC 的产生,这三个要素缺一不可。如果任一要素不存在,EMI也就不存在了。那么工程师所要做的事情就是找到最容易解决的那一项。

1.4.2 EMC 对策

任何EMC 问题的处理都是围绕三要素进行的

1,降低干扰源

2,切断或削弱传播途径

3,提高设备的抗扰能力

通常来讲,合理的PCB 设计是消除多数RF干扰的最经济有效的途径。有源器件是所有辐射的源头。PCB设计所要做的是将电磁场能量限制在需要它们的地方。

可以利用时钟扩频技术或适当的减缓信号的上升沿来降低时钟信号的干扰强度,也可以在器件选型方面以及减少天线效应方面(如严格控制线头长度、控制信号回路面积来控制EMI 的强度;

通过必要的布局、布线以及采取屏蔽、接地措施来提高设备的抗扰能力;

在三要素的对策中切断干扰的传播途径是最重要的一环。在单板上可采取以下措施来切断耦合路径或者减少耦合:

对应传导耦合:加滤波电容、滤波器、共模线圈、使用隔离变压器等;

对应辐射耦合:相邻层垂直走线、加屏蔽地线、磁性器件合理布局、3W规则、正确层分布、辐射能力强或者敏感信号布内层、使用I/O双绞线、辐射能力强的信号远离拉手条、板边缝隙等。

从产品EMC

设计的对策、手段来分,通常采用的不外乎接地、屏蔽、滤波三种。下面重点对PCB的EMC设计给予介绍。

2 PCB的EMC设计

2.1 PCB的EMC设计的意义

2.1.1开展PCB的EMC设计的意义

A、信号质量的要求

在产品的EMC设计中,除了通过有关测试、获取CE认证外,还必须结合信号完整性分析,保证信号质量。如果产品顺利通过EMC测试却不能实现正常功能,那也是徒劳的。在这方面,板级EMC设计是屏蔽箱体等无法取代的。

内部使用

EMC基本原理及PCB的EMC设计2004-06-18版权所有,侵权必究第5页,共18页

B

原创力文档

max.book118.com

预览与原文档一致,下载高清无水印

、系统设计,对策多样化



目前业界一流公司在EMC 的处理上均采用注重源头控制的EMC
系统设计,从产品的概念、

设计阶段给予关注,可在原理、PCB
、结构、线缆、屏蔽、滤波、软件等各个方面采取对策,而一旦产品推向市场,可采取的
对策也只有软件上打补丁了,对策的效果、可行性将面临严峻挑战。

对于一个产品来说,从设计之初就采取一些抑制措施比成品之后再“造一个好机
箱”要经

济的多。在实际使用过程中,客户常常出于维修或升级的方便,而拆去外壳的盖
子,屏蔽结构体由于氧化、腐蚀以及实际加工过程中的工艺控制偏差,往往屏蔽效果
将大打折扣,甚至失去屏蔽效能。此外在与线缆、接口电路搭配使用的产品中,不从单
板给予滤波等处理,单独的结构屏蔽几乎形同虚设。目前部分产品的EMC
测试条目中包括开箱测试(即不加任何屏蔽措施的测试,这都要求我们不能完全依靠
屏蔽来解决问题。

在电子设备的研制中,为获得良好的EMC 性价比,进行EMC 设计是相当重要的;电子设备

的EMC 性能是设计赋予的。测试仅仅是将电子设备固有的EMC 性能用某种定量的方法表征出来。

C、缩短开发周期

重视源头控制,可能会拖延一点开发进度,但比起产品定型后,再专门针对EMC 特性进行

攻关要有效的多,而且产品定型后,再作EMC 处理,由于受到诸多限制,可采用的对策极为有限。

D

、降低批量成本

在单板、PCB 设计阶段进行EMC 控制,有可能会增加人力开发成本,但从批量生产等总成

本考虑,关注源头控制,可极大的降低批量成本,请看以下案例:

案例:在某产品的EMC 攻关中遇到以下问题,在现有的双面板中,EMC 指标(RE 超

标,EMC 攻关组有以下三条路可走(经以下任一对策后,EMC 指标均能通过:

有改善

小于50万改板,查找源头,增加8个滤波电容,解

决几个回路问题;

3,控制源头

有一定的恶化

2000万

改板,每块单板增加24个磁珠2,加磁珠

有改善8000万改板,加层,增加电源、地平面1,加层对信号质量影响

增加成本更改内容

对策种类

从上面数据可以看出,三种对策的价格差异有多大,如果放弃从设计的源头控制EMC指标,不管采用那种措施,公司的利润损失都超过2000万。

2.1.2PCB的EMC设计在产品EMC开发中的定位

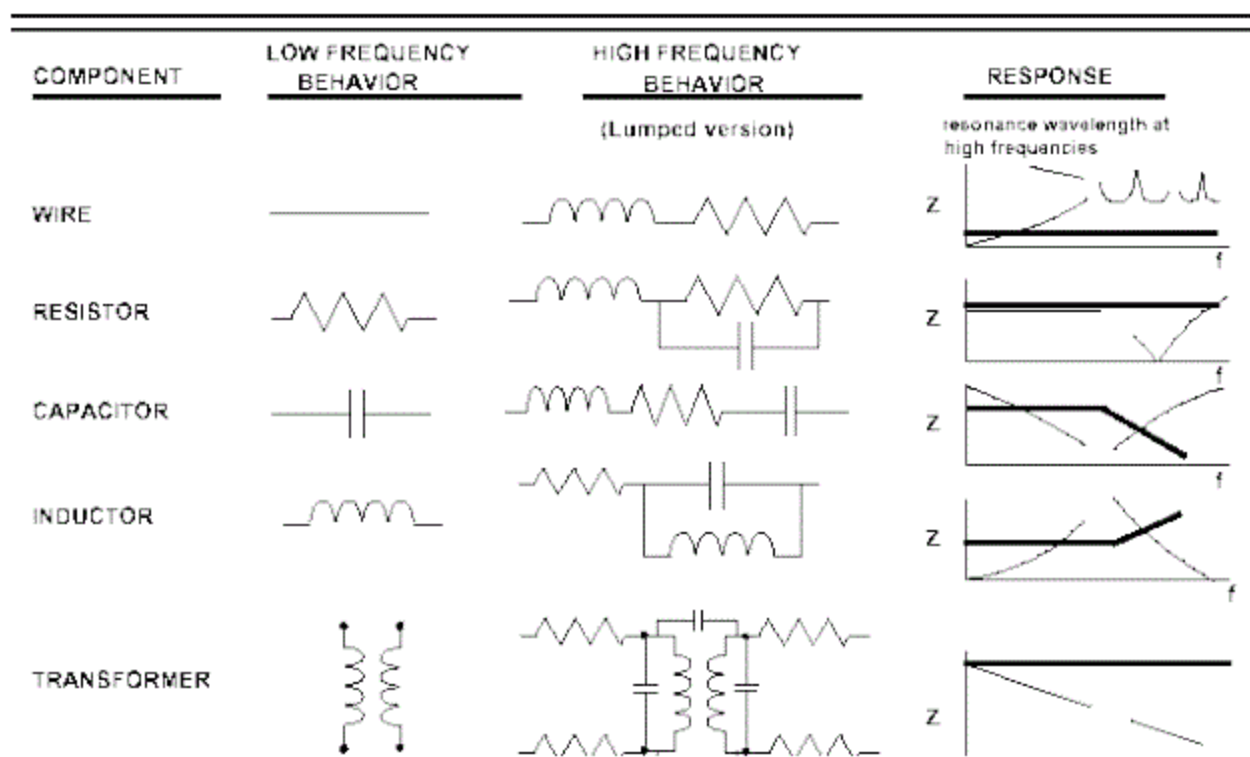
从信号质量的综合考虑、存在对外接口的单板、以及无法进行全屏蔽的产品里,开展PCB的EMC设计是其他任何EMC措施无法取代的;即使不存在以上问题的产品,开展以EMI源头设计为主的EMC系统设计,丰富了设计手段,减轻了后道工序的压力,降低了综合成本。

我们也应看到,在EMC系统设计的环节里,单独做好板级EMC的开发,并不能解决所有EMC问题,更不能有解决了板级EMC问题,无须再作屏蔽机柜、屏蔽线缆的想法,我们强调的是EMC系统设计观念,而PCB的EMC设计是这个系统设计链条上的关键一环,在单板方面进行EMC设计的考虑将减轻后面工序的压力。

2.2EMC的成因

人们往往会认为EMC问题带有一定的神秘意义[black magic],但事实上EMC问题可以通过复杂的数学计算来解释,不过相关的方程和公式相当复杂。虽使用了数学简化算法,计算过程仍然难以达到实用的地步。要想了解板级EMC的成因。我们必须揭开那些隐藏了的“原理图”。

请看下图:



上图列出了通常原理图中的导线、电阻、电容、电感、变压器在实际电磁环境中的“隐藏了的原理图”。图中右边一列是频率响应曲线。粗线显示的是低频响应(理想频域特性,细线显示的是高频响应(实际频域特性)。

许多存在的因素引起了电磁干扰问题[EMI],而这往往是因为无源器件在工作时的非常规特性表现。常规电阻应用在高频电路中将表现为串联了两端的引线电感以及并联了一个分布电容。常规的电容器在高频电路中将表现为在两个极板上都串联了电阻和电感。而常规的电感在实际高频电路中将表现为每一圈绕线之间都并联了一个分布电容,以及串联了电阻。

数字电路设计师在设计时通常会认为:器件仅仅存在低频或单频的时域响应,那么我们若在选择无源器件时仅仅考虑低频限制因素,而不考虑我们上面说的高频领域的因素,那么设计中就会出现很多使电路功能失效或影响信号完整性或EMC方面的问题。

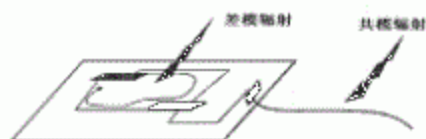
对于PCB来说,每一段走线都有特定的阻抗值。走线电感是引起PCB上射频辐射的重要原因之一。甚至于从芯片硅芯到PCB安装焊盘之间的引线电感会引起可观的射频电势,尤其是电路板上的长窄走线会有很强的电感性。这里的长线指对从时域说来的周期性信号,其传输周期比信号周期短。从频域说来,是指走线的长度大于十分之一的信号波长。通常讲来,如果有射频电压加在一段阻抗上,就会有相应的射频电流流过,这射频电流就会引发电磁干扰(EMI)。

只有闭合回路才能构成电路。如果有一条引线从源引向负载,那么电路必需为它提供一条射频回流通道。如果不存在导通通道,那么自由空间就会成为射频回流通道。



下图中的公式可以用来计算从PCB中辐射出来的RF能量:

PCB的两种辐射机理



差模辐射电场的计算

$$E=131.6 \times 10^{-16} f^2 A I (1/r) \sin \theta$$



共模辐射电场的计算

计算线缆的辐射强度时, 将其等效为单极天线, 其最大辐射强度由下式计算:

$$E=12.6 \times 10^{-9} f I L (1/r)$$

其中,

E: 电场强度(V/m)

f: 电流的频率(MHz)

L: 线缆的长度(m)

I: 电流的强度(A)

r: 测试点到电流环路的距离(m)

2.3层设计

根据单板布线密度、有特殊布线要求的信号数量、种类确定布线层数;再根据单板的电

源、地的种类、分布、有特殊布线需求的信号层数,综合单板的性能指标要求与成本承受能力,确定单板的电源、地的层数,以及它们与信号层的相对排布位置。

单板的排布一般原则:

- A.与元件面相邻的层为地平面,提供器件屏蔽层以及为顶层布线提供回流平面;
- B.所有信号层尽可能与地平面相邻(确保关键信号层与地平面相邻);
- C.主电源尽可能与其对应地相邻;

原创力文档

max.book118.com

预览与源文档一致,下载高清无水印

D.尽量避免两信号层直接相邻;

E.兼顾层压结构对称。

具体PCB

的层的设置时,要对以上原则进行灵活掌握,根据实际单板的需求,确定层的排

布,切忌生搬硬套。以下给出常见单板的层排布推荐方案,供大家参考(不限于这些,可根据实际情况衍生多种组合; S

G S

P S

G P

S

G

S

G

S

6

4

2

12

S G S G S P G S G S G S 65112S G S S P G S S G S 63110S G P S G P S S G S
53210S P S G P S G S 4228S G S P G S G S 4318S P S S G S 4116S G P S G S 3216S P
G S 211412

11

10

9

8

7

654321信号地电源层数背板层排布的一般原则:

- A.元件面、焊接面为完整的地平面(屏蔽;
- B.无相邻平行布线层;
- C.所有信号层尽可能与地平面相邻;
- D.关键信号与地层相邻,不跨分割区。

2.4电源、地系统的设计

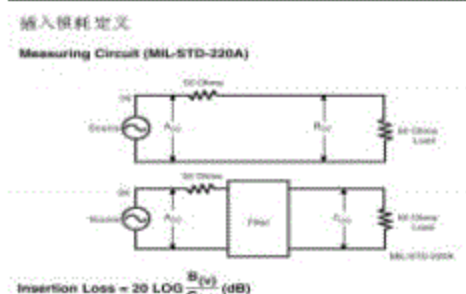
2.4.1滤波设计

2.4.1.1滤波电路的基本概念

滤波电路是由电感、电容、电阻、铁氧体磁珠和共模线圈等构成的频率选择性网络,低通滤波器是电磁兼容抑制技术中普遍应用的滤波器,低频信号可以很小的衰减通过,而高频信号则被滤除。

滤波器的特性包括很多方面,如额定电压、额定电流、阻抗、可靠性等,而最重要的是其频率特性,即滤波器的插入损耗随工作频率的不同而变化的特性。通常情况下,在滤波器的两端的端接阻抗为50欧姆的器件下描述滤波器的特性——插入损耗。

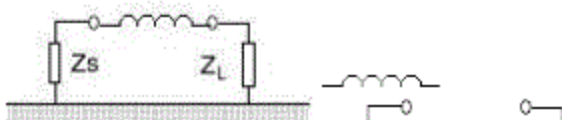
插入损耗由下式定义:



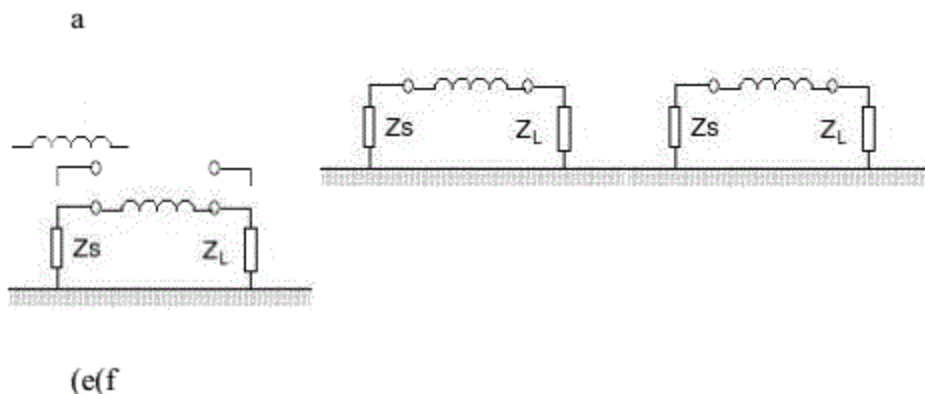
在EMC设计中,滤波一般是指低通滤波器。最基本的低通滤波器包括下面两个元件:

- 1、在信号线和接地线之间装有一个电容器(当频率升高时,电容的阻抗降低。因此噪声被迫通过旁路电容器到地。
- 2、信号线上串联了一个电感器。(当频率升高时,电感的阻抗增大,于是可阻止噪声流入信号线。

图12几种滤波电路是常见的低通滤波电路,设计低通滤波器的目的是滤除电路中的高频成分,而让低频成分通过滤波电路。滤波电路的效能取决于滤波电路两边的阻抗特性,在低阻抗电路中,简单的电感滤波电路可以得到40dB的衰减,而在高阻抗电路中,几乎没有作用;在高阻抗电路中,简单的电容滤波电路可以得到很好的滤波效果,在低阻抗电路中几乎不起作用。在滤波电路设计中,电容靠近高阻抗电路设计,电感靠近低阻抗电路设计。



(



典型电容滤波电路的插入损耗如上图所示,由于引线电感的存在,滤波器的特性在谐振频点之前表现为容性,在谐振频点之后表现为感性。插入损耗是在输入和输出阻抗为50欧姆的情况下测量的,但实际的电路阻抗不是50欧姆,因此实际上,滤波器的响应将随着滤波器所处的电路的阻抗的不同而有所变化。通常在高阻抗电路中运用电容器抑制噪声更为有效,而低阻抗电路中使用电感器较为有效。

2.4.1.2常用EMI滤波器件

EMI信号滤波器是用于各种信号线(包括直流电源线上的低通滤波器,它的作用是滤出导线上各种工作所不需要的高频干扰成分。由于专用EMI器件的价格逐渐降低,进行产品接口滤波电路设计时,主要采用专用EMI抑制器件构成滤波电路,这些器件包括三端电容、铁氧体磁珠、共模扼流圈、电源EMI滤波器等。

1.三端电容器

三端电容器在设计上利用了本身的引线电感,内部电路等效为T型滤波电路,其滤波特性好于单独使用电容构成的滤波电路,主要使用于接口电路的滤波设计。

电容器的插入损耗随频率的增加而增加,直到频率达到自谐振频率后,由于存在导线和电容器电极的电感在电路上与电容串联,于是插入损耗开始下降。

按三端电容的内部结构不同可以分为片装三端电容和穿心电容器,提供三端电容的厂商主要包括MURATA、TDK等器件公司。

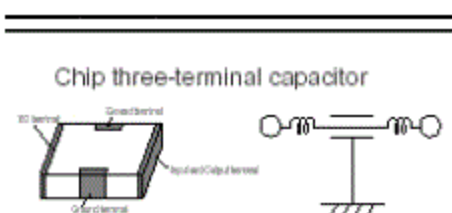


图1 片装三端电容

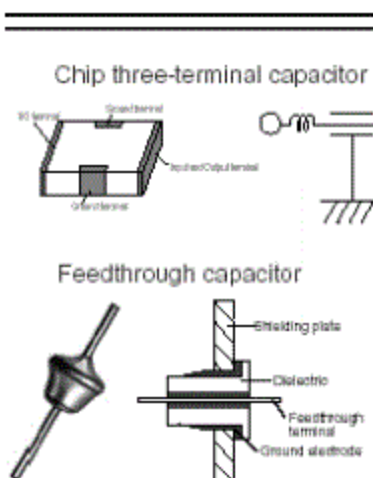


图2 穿心电容器

2.铁氧体磁珠

铁氧体磁珠电感器是一种典型的EMI滤波器,它的结构非常简单,馈通端由于通过了铁氧体磁芯,所以杂散电容得到减小。其特性十分优良,因为杂散电容较小,所以其自谐振频率达到1GHz甚至更高。

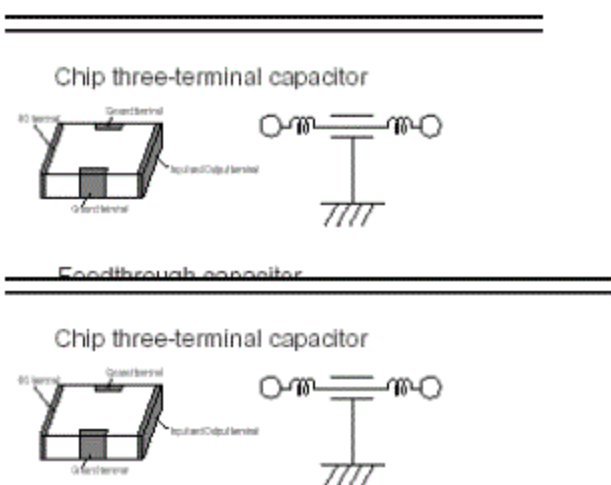


图3 铁氧体磁珠电感器的结构

(b) Example of impedance characteristic

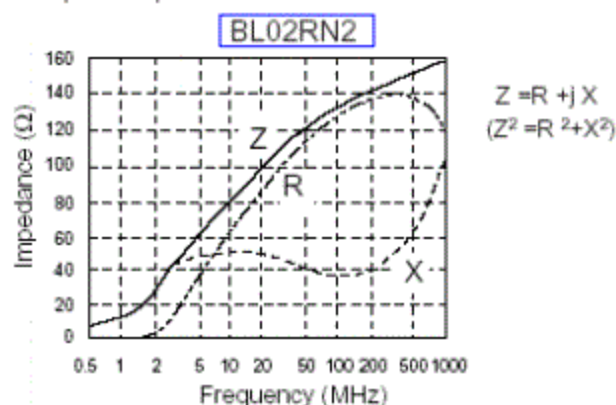
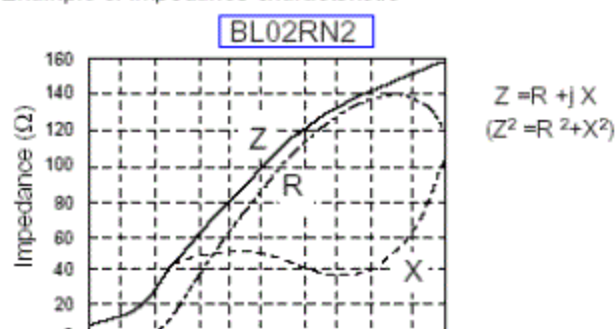


图4 铁氧体磁珠的阻抗特性

除了杂散电容小的特性之外,铁氧体磁珠的另外一个突出的特性是在高频时,这类电感器是作为电阻而不是电感工作的,且以热量的形式消耗噪声,也就是说,在高频段,铁氧体磁珠电感器更象一个电阻而不是电感。

(b) Example of impedance characteristic

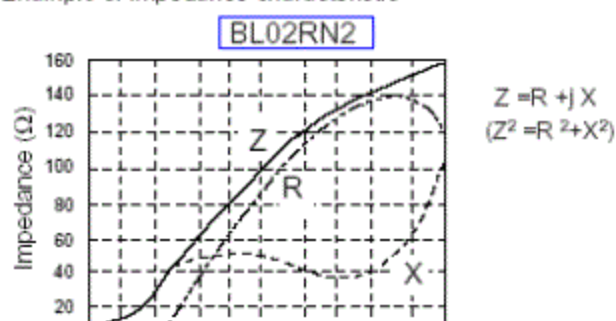


铁氧体磁珠电感EMI滤波器是串联在信号通路中,在高频带上体现为电阻性来吸收干扰噪声。

3.共模扼流圈

顾名思义,共模扼流圈就是对共模干扰噪声具有抑制作用,是通过信号线和信号回线按相反的方向缠绕在闭合的铁氧体磁芯内实现,其典型结构如下图所示。对于差模电流而言,共模线圈只相当于简单的电感,差模电流引起的磁通由于大小相等和方向相反而互相抵消,从而不产生阻抗,而共模干扰电流产生的磁通方向相同,从而产生了阻抗,抑制了共模噪声。

(b) Example of impedance characteristic



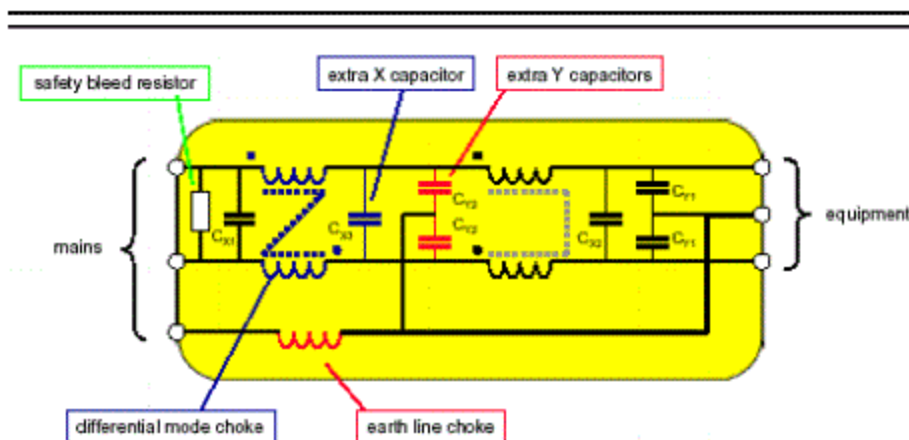
由于磁通在铁氧体内部的互相抵消,所以差模电流不产生阻抗。同时磁饱和所产生的问题较小,共模扼流圈很适合于抑制较大电流线路的噪声,例如AC/DC电源线。另外,由于共模扼流圈不会影响差模信号波形,因此适合于抑制高速信号线上的共模干扰电流。

在直流电源线的输入部分安装了共模扼流圈以抑制共模噪声。通过电源线上加装一个三端电容器和一个铁氧体磁珠电感器可抑制差模噪声。

4. 电源EMI滤波器

电源EMI滤波器是一种无源双向网络,它一端接电源,另一端接负载。在所关心的衰减频带的较高频段,可把电源EMI滤波器看作是“阻抗失配网络”。网络分析结果表明,滤波器阻抗两侧端口阻抗失配越大,对电磁干扰能量的衰减就越有效。由于电源线侧的共模阻抗一般比较低,所以滤波器电源侧的阻抗一般比较高。为了得到较好的滤波效果,对低阻抗的电源侧,应配高输入阻抗的滤波器;对高输入阻抗的负载侧,则应配低输出阻抗的滤波器。

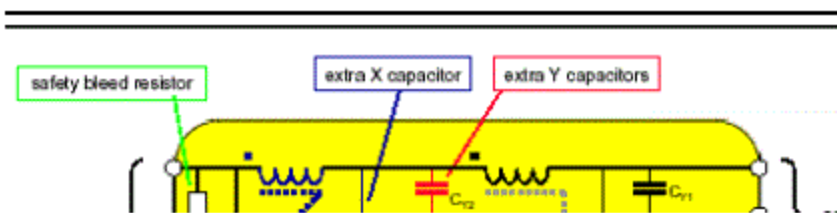
电源滤波器的特向指标也是通过插入损耗来衡量。由于实际使用中的电源侧和负载侧的阻抗变化很大,所以实际使用时获得的插入损耗和厂家所提供的插入损耗值不同。因此,在选用电源EMI滤波器的最佳方法是将它接入系统中进行实际测试。



电源EMI滤波器同时具有差模干扰和共模干扰抑制作用。X电容和差模电感为差模干扰的抑制,Y电容和共模扼流圈为共模抑制电路。

2.4.2 单板接口电源的设计

对于分散式供电的产品里,一般公司的单板接口电源的原理设计基本一致,一般由防护、缓启动、滤波、DC/DC变换、输出滤波几部分组成。其功能框图如下:



典型电路如下:

防护电路一般包括过流保护、防反插、过压防护电路组成,在不同的单板上,其电路组成略有区别;

缓启动电路主要作用是使单板上电过程延长,减小上电时的冲击电流,减少因电源瞬时过载使供电电压出现暂时跌落,从而出现各种工作不稳定情况的危险系数。

滤波电路的作用是在电源口上进行高频的滤波、隔离。差模滤波由电容组成,共模滤波由共模电感和共模电容组成。

对于接口电源的PCB设计,需要注意:

A,按照以上功能框图布局,电源流向明晰,避免输入、输出交叉布局;

B,先防护、后滤波,防护通道线宽 $\geq 50\text{MIL}$;

C,各自功能模块相对集中、紧凑,严禁交叉、错位(如模块电源的CASE管脚上的电容靠近CASE管脚放置,且CASE管脚到电容的连线短而粗;

D,整个电源通路布线(或铜箔宽度满足载流能力要求,且 $\geq 50\text{MIL}$;

E,-

48V、BGND在相邻层铺铜(或相邻参考平面上分割,严禁两者之间隔有其它走线

或插入其它参考平面;

F,从-48V/BGND输入到DC/DC的输入侧,除对应的-48V/BGND/PGND的平面外,

所有电源、地平面挖空,接口电源对应区域无其它走线、平面穿过;

G,VCC输出滤波电路靠近DC/DC的输出放置。

2.4.3板内分支电源的设计

板内分支电源常用的为 Π 形滤波、LC滤波或DC/DC变换,此类分支电源的设计要求:

A,靠近使用该电源的电路布局;滤波电路布局要紧凑;

B,整个电源通道的线宽要满足载流需求。

2.4.4关键芯片的电源设计

对于一些功耗大、高频、高速的器件,其电源设计要求:

A,在该芯片周围均匀放置1—4个BULK(储能电容;

B,对于芯片手册指定的电源管脚,必须就近放置去藕电容,对去藕无特殊需求的情况下,可酌情考虑放置适当的去藕电容;

C,滤波电容靠近IC的电源管脚放置,位置、数量适当;

此外,还需注意整板电源滤波电容分布是否合理、足够。

2.4.5接地

本文中有关接地方面的详细内容请参考相关资料

2.4.5.1常见接地方式及其特点

常见接地方式及其特点:

EMC基本原理及PCB的EMC设计 IC1 单点串联接地 A B C 地线 IC2 IC3
内部使用 IC1 单点并联接地 A IC2 B IC3 C 地线 IC1 多点接地 A R L IC2 B R

L IC3 C R L 地线 IC1 混合接地 A C IC2 B C IC3 C C 地线

单点接地的好处是接地线比较明确清楚, 成本较低;但最大的问题是地线较长, 在高频时阻

抗大, 可能影响芯片自身的稳定工作, 更多的时候是产生共阻抗干扰耦合到相邻的或者共地线的

芯片上产生互扰。对于单板工作频率高于10MHZ的情况下一般较高, 建议避免使用单点接地。

多点接地的优点是芯片工作有各自的电流回路, 不会产生共地线阻抗的互扰问题, 同时接地

线可以很短, 减少地线阻抗;多点接地也有其不足之处, 需要增加PCB的成本是一个问题, 最主要

的问题是单板上高频回路数量剧增, 这些高频的电流回路对磁场是很敏感的, 所以在进行PCB设计时需要特别注意。

混合接地结合了两者的特点, 低频电流从串联单点接地线经过, 高频电流将沿着各自IC的接地电容回流, 相互独立。2.4.5.2单板上各种地的常见命名和意义

BGND: 高压电源(如-

48V、+24V等)的回流线。本身并不能作为信号的基准, 不是准确意义上的地线;

PGND: 机壳地。和系统或插框的金属外壳相连, 既而和系统的基准地(大地)相连, 主要

作用是为异地系统之间的相互通信提供统一的信号基准, 同时为各种防护滤波电路提供干扰电流的旁路点。

GND: 系统地。为系统或插框内各个单板之间的通信提供基准(参考), 主要存在于背板上, 一般形式为平面方式。单板上为DGND。

DGND: 数字信号地。是单板上各种数字电路和IC工作的基准。2004-06-18

版权所有, 侵权必究 第16页, 共18页

EMC基本原理及PCB的EMC设计

AGND: 模拟信号地。是单板上各种模拟电路和IC工作的基准。内部使用

2.6PCB布局与EMC 2.6.1单板PCB布局的一般原则; 一般来说, 布局需要考虑到: 1

参照原理功能框图, 基于信号流布局, 各功能模块电路分开放置; 2

多种模块电路在同一PCB上放置时, 数字电路与模拟电路、高速电路与低速电路、干扰源与敏感电路分开布局; 3 单板焊接面避免放置敏感器件或强辐射器件; 4

敏感信号、强辐射信号回路面积最小; 5

晶体、晶振、继电器、开关电源等强辐射器件或敏感器件远离单板拉手条、对外接口连接器放置, 推荐距离 $\geq 1000\text{mil}$; 2.6.2接口电路的PCB布局

以下是接口电路PCB布局的一般原则: 6

接口信号的滤波、防护和隔离等器件靠近接口连接器放置, 先防护, 后滤波; 7

接口变压器、光耦等隔离器件做到初次级完全隔离; 8

变压器与连接器之间的信号网络无交叉; 9

变压器对应的BOTTOM层区域尽可能没有其它器件放置; 10

接口芯片(网口、E1/T1口、串口等)尽量靠近变压器或连接器放置 11

网口、E1/T1口、串口的接收、发送端匹配电阻靠近对应的接口芯片放置

2.6.3时钟电路的布局 12

时钟电路(晶振、时钟驱动电路等)尽量远离拉手条、对外接口电路(1000mil); 13

时钟驱动器靠近晶振放置(推荐对应时钟曼哈顿距离 $\leq 1000\text{mil}$); 14

时钟输出的匹配电阻靠近晶振或时钟驱动电路的输出脚(推荐距离 $\leq 1000\text{mil}$); 15

晶振、时钟驱动电路必须进行LC或[形滤波, 滤波电路的布局遵照前述电源滤波电路布局要求; 16 时钟驱动电路远离敏感电路; 2.6.4其它模块的PCB布局; 17

看门狗电路及复位芯片远离拉手条(推荐距离 $\geq 1000\text{mil}$); 18

隔离用器件如磁珠、变压器、光藕放在分割线上, 且两侧分开; 19

扣板连接器周围的滤波电容布局数量、位置合理; 20

板内散热器接地(推荐多点接地), 且远离拉手条、对外接口(推荐距离 $\geq 1000\text{mil}$); 21

用于隔离、桥接的器件(电阻、电容、磁珠等)放在分割线上; 22

A/D、D/A器件放在模拟、数字信号分界处, 避免模拟、数字信号布线交叠 23

对于同一差分线对上的滤波器件同层、就近、并行、对称放置 2.7PCB布线与EMC

2.7.1优选布线层 优选布线层的一般原则: A, 优先考虑布内层; 2004-06-18

版权所有, 侵权必究 第17页, 共18页

EMC基本原理及PCB的EMC设计 内部使用

B, 优先考虑无相邻布线层的层, 或虽有相邻布线层, 但相邻布线层对应区域下无走线; C, 内层布线优先级别, $L G-G > L G-P > L P-P$; (即优选地作参考平面

D, 确保关键走线未跨分割区的布线层; 2.7.2常见接口电路的PCB布线处理;

以下是接口电路PCB布线的一般原则: 1

接口变压器等隔离器件初、次级互相隔离, 无相邻平面等耦合通路, 对应的参考平面隔离宽度 $\geq 100\text{mil}$; 2 接口电路的布线遵循先防护、后滤波的原则; 3

接口差分信号线严格遵循差分布线规则: 并行、同层、等长; 不同差分对之间距离满足3W原则; 且旁边没有本接口信号以外的布线; 4

接口变压器与连接器之间的网络长度 $\leq 1000\text{mil}$; 5 有外出电缆($\geq 3\text{m}$)的接口变压器与对应连接器之间的平面层挖空; 挖空区域内应无

其他无关信号线 6 PGND以外的参考平面与接口位置的PGND平面无重叠; 7

单板拉手条孔金属化, 并接PGND; 8

跨分割的复位线在跨分割处加桥接措施(地线或电容); 9

接口芯片的电源地参考器件手册处理, 如果需要分割时, 数字部分不能扩展到对外接口信号线附近 2.7.3时钟信号的布线要求 10

表层无时钟布线或布线长度 $\leq 500\text{mil}$ (关键时钟表层布线 $\leq 200\text{mil}$); 并且要有完整地平面作回流, 未跨分割或跨分割位置已作桥接处理; 11

晶振及时钟驱动电路区域TOP层无其它布线穿过; 12

晶振、时钟驱动电路的滤波电路的布线遵照前述电源滤波电路布线要求; 13

时钟信号线周围避免有其它信号线(推荐满足3W); 14

不同时钟信号之间拉开距离(推荐满足3W); 15

当时钟信号换层且回流参考平面也改变时, 推荐在时钟线换层过孔旁布一接地过孔; 16 时钟布线与I/O接口、拉手条的间距 $\geq 1000\text{mil}$; 17

时钟线与相邻层平行布线的平行长度 $\leq 1000\text{mil}$; 18

时钟线无线头, 若出于增加测试点的需要, 则线头长度 $\leq 500\text{mil}$ 。

2.7.4其它与EMC有关的PCB布线措施 19 单板已做传输线阻抗控制及匹配处理; 20

布线无线头或线头长度 $\leq 500\text{mil}$ 21 无孤立铜皮, 散热片/器作接地处理; 22

电源/地布线短而粗; 23

相邻布线层布线方向互相垂直或相邻层平行布线的平行长度 $\leq 1000\text{mil}$; 24

地址总线(尤其是低3位的地址总线A0、A1、A2)参照时钟布线要求; 2004-06-18

版权所有, 侵权必究 第18页, 共18页